

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP5074913
Publication date: 1993-03-26
Inventor(s): YOSHIKAWA YOSHIHIKO
Applicant(s): SEIKO EPSON CORP
Requested Patent: JP5074913
Application Number: JP19910235080 19910913
Priority Number(s):
IPC Classification: H01L21/66; G01R31/26; H01L27/04; H03K5/06
EC Classification:
Equivalents:

Abstract

PURPOSE: To obtain a semiconductor integrated circuit device, in which delay characteristics can be measured readily without requiring additional test terminal and without causing deterioration of performance during normal operation, by disposing a selection circuit for test between a selection control input signal and an output signal of a selection circuit.

CONSTITUTION: Two input signals 2, 4 are selected by means of a selection control input signal 3 to produce an output signal 5 from a selection circuit 1. A delay circuit 7 for test is disposed on a signal path between the selection control input signal 3 and the output signal 5. When the input signals 2, 4 are set, respectively, at 0 and 1, transition of logical state of the selection input signal 3 is transmitted through the delay circuit 7 for test and a semiconductor integrated circuit tester to the output signal 5 with a precise, measurable delay. According to this invention, delay characteristics can be measured readily without requiring additional test terminal and without causing deterioration of performance during normal operation.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-74913

(43) 公開日 平成5年(1993)3月26日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66	Z	7013-4M		
G 0 1 R 31/26	G	9214-2G		
H 0 1 L 27/04	T	8427-4M		
	M	8427-4M		
H 0 3 K 5/06		4239-5J		

審査請求 未請求 請求項の数1(全 3 頁)

(21) 出願番号 特願平3-235080

(22) 出願日 平成3年(1991)9月13日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 吉川 義彦

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

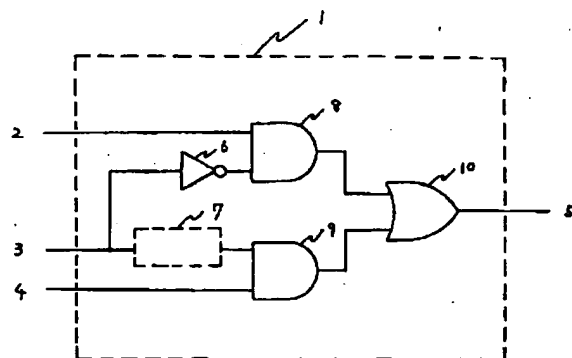
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【目的】 半導体集積回路の遅延特性を測定するにあたり、余分なテスト端子の追加と通常動作時の性能低下を引き起こさず、容易に遅延特性の測定を行う。

【構成】 選択回路における選択制御信号と選択回路の出力信号との間に試験用遅延回路を有する構成とする。



1

【特許請求の範囲】

【請求項1】 2本の被選択入力信号と、前記被選択入力信号を選択する選択制御入力信号を有する選択回路において、前記選択制御入力信号と前記選択回路の出力信号との間に試験用遅延回路を有することを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路装置に関する。

【0002】

【従来の技術】従来の技術で半導体集積回路装置の遅延特性を測定するためには、半導体集積回路試験装置で測定可能な遅延経路を半導体集積回路装置内に指定するか、新たに試験用遅延回路を半導体集積回路装置に付加する必要があった。

【0003】

【発明が解決しようとする課題】しかし、半導体集積回路装置の高速化が進展する中で、半導体集積回路試験装置で精度よく測定可能な、比較的長い遅延経路を半導体集積回路装置内で見つけることは困難であるし、試験用遅延回路を半導体集積回路装置に付加することは余分なテスト端子の追加を必要とする問題を有していた。

【0004】そこで、本発明はこのような問題点を解決するもので、その目的とするところは、余分なテスト端子の追加と通常動作時の性能低下を引き起こさずに、容易に遅延特性の測定を行える半導体集積回路装置を提供することにある。

【0005】

【課題を解決するための手段】本発明の半導体集積回路装置は、選択回路における選択制御入力信号と前記選択回路の出力信号との間に試験用遅延回路を有することを特徴とする。

【0006】

【実施例】以下に本発明の実施例を図面に基づいて説明する。

【0007】図1において、2本の被選択入力信号2、4は、選択制御入力信号3によって選択され、選択回路

2

1の出力信号5に出力される。試験用遅延回路7は選択制御入力信号3と出力信号5との間の信号経路上に位置する選択制御入力信号3に"0"を与えると被選択入力信号2が選択され、選択制御入力信号3に"1"を与えると被選択入力信号4が選択され、通常の選択回路として動作する。遅延特性の測定を行うには、被選択入力信号2を"0"に設定し、被選択入力信号4を"1"に設定する。選択制御入力信号3の論理状態の変化は試験用遅延回路7を通して、半導体集積回路試験装置で精度よく測定可能な充分な遅延を伴って出力信号5に伝わる。

【0008】以上、本発明の実施例を信号の反転を伴わない回路例を用いて説明してきたがこれに限ることなく、信号の反転を伴う回路にも同様に応用できる。

【0009】

【発明の効果】本発明の半導体集積回路装置は、大規模半導体集積回路の制御性・観測性を向上させるテスト回路として一般に多用されるものであるため、余分なテスト端子の追加を必要としない。また、通常動作時は選択制御入力信号を変化させないため性能低下を引き起こすこともない。

【0010】以上説明したように本発明の半導体集積回路装置は、余分なテスト端子の追加と通常動作時の性能低下を引き起こさずに、容易に遅延特性の測定を行うことができる。

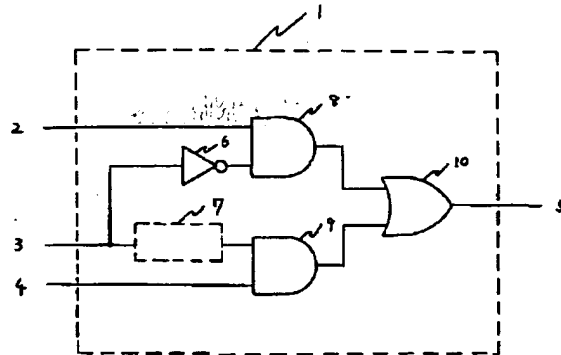
【図面の簡単な説明】

【図1】本発明の実施例における半導体集積回路装置の構成図である。

【符号の説明】

- 1 半導体集積回路装置
- 2 被選択入力信号
- 3 選択入力信号
- 4 被選択入力信号
- 5 出力信号
- 6 INVERTERゲート
- 7 試験用遅延回路
- 8、9 ANDゲート
- 10 ORゲート

【図1】



THIS PAGE BLANK (USPTO)